

明 細 書

ブロック歪検出装置及びブロック歪検出方法、 並びに映像信号処理装置

技術分野

本発明は、アナログ映像信号から、画像のブロック符号化に伴うブロック歪を検出するためのブロック歪検出装置及びブロック歪検出方法、並びに映像信号処理装置に関する。

背景技術

従来、静止画データや動画データ等を効率よく圧縮符号化するための符号化方式として、ブロックDCT（離散コサイン変換）符号化等のブロック符号化が知られている。

このようなブロック符号化による画像データの圧縮／伸張の際には、ブロック歪（ブロックノイズ）が発生することがあり、圧縮率が高くなるほどノイズを発生させやすい。このブロック歪は、DCT符号化等がブロック内の閉じた空間で変換を行っており、ブロック境界での連続性が損なわれるため、隣接ブロックとの境界部での再生データ値のずれが雑音として知覚されるものである。

そして、このブロック歪を含んだデータがその後アナログデータに変換されると、ブロックの境界がどこにあるかについての情報を得る手段がないため、ブロック歪を低減することがいっそう困難になる。

従来、この問題を解決するため、例えば特開2000-350202公報（第3-4ページ、第1-2図）では、入力輝度信号に基づいて微分信号を出力し、該微分信号から孤立微分点を検出し、画素ブロックの周期に合わせて孤立微分点を積分処理し、画素ブロック周期で発生している孤立微分点の情報を累積加算す

ることにより、ブロック歪の有無を判定する技術が提案されている。

しかしながら、この方式では、輝度変化の激しいシーンにおいて輝度信号の変化とブロック境界との区別を精度よく行うことができない。例えば、高周波成分を多く含んだ画像、柱等の画像及びパルス状のノイズ等に対して、孤立微分点が検出され、この検出された孤立微分点を累積加算することによりブロック歪の有無を誤判定する可能性がある。

従って、誤判定されたブロックの境界により映像信号処理を行うことで、画質の劣化が発生するという問題がある。

発明の開示

本発明の目的は、ブロック境界の情報が失われた映像信号に対して、誤検出を最小限にした精度の高いブロック歪検出装置、映像信号処理装置及びブロック歪検出方法を提供することである。

上記の目的を達成するため、本発明の第1の観点は、画像のブロック符号化に伴うブロック歪を検出するためのブロック歪検出装置であって、連続する複数の画素信号の差分に基づいて、前記複数の画素信号のそれぞれにおけるエッジの有無を検出するエッジ検出手段と、ブロックに含まれる画素の数に応じた複数のカウンタを含み、前記エッジ判定手段のエッジ検出結果を、水平同期信号に同期した第1のタイミングで、前記複数のカウンタのそれぞれに順次取り込んでカウントするエッジカウント手段と、前記複数のカウンタのカウント値を、垂直同期信号に同期した第2のタイミングで順次取り込み、各カウンタがエッジ検出結果を取り込んだ順序と、各カウンタのカウント値と、に基づいて、ブロック境界を特定するブロック境界特定手段とを有する。

また、上記の目的を達成するため、本発明の第2の観点は、画像のブロック符号化に伴うブロック歪を検出するためのブロック歪検出方法であって、連続する複数の画素信号の差分に基づいて、前記複数の画素信号のそれぞれにおけるエッ

ジの有無を検出し、前記エッジ判定手段のエッジ検出結果を、水平同期信号に同期した第1のタイミングで、ブロックに含まれる画素の数に応じた複数のカウンタのそれぞれに順次取り込んでカウントし、前記複数のカウンタのカウント値を、垂直同期信号に同期した第2のタイミングで順次取り込み、各カウンタがエッジ検出結果を取り込んだ順序と、各カウンタのカウント値と、に基づいて、ブロック境界として特定する。

また、上記の目的を達成するため、本発明の第3の観点は、アナログ映像信号から抽出した画素信号に基づいて映像信号を処理する映像信号処理装置であって、連続する複数の画素信号の差分に基づいて、前記複数の画素信号のそれぞれにおけるエッジの有無を検出するエッジ検出手段と、ブロックに含まれる画素の数に応じた複数のカウンタを含み、前記エッジ判定手段のエッジ検出結果を、水平同期信号に同期した第1のタイミングで、前記複数のカウンタのそれぞれに順次取り込んでカウントするエッジカウント手段と、前記複数のカウンタのカウント値を、垂直同期信号に同期した第2のタイミングで順次取り込み、各カウンタがエッジ検出結果を取り込んだ順序と、各カウンタのカウント値と、に基づいて、ブロック境界を特定するブロック境界特定手段と、前記ブロック境界特定手段により特定されたブロック境界位置において、画素信号をフィルタ処理するフィルタ手段とを有する。

本発明の第1の観点に係るブロック歪検出装置によれば、エッジ検出手段は、連続する複数の画素信号の差分に基づいて、前記複数の画素信号のそれぞれにおけるエッジの有無を検出する。エッジカウント手段は、ブロックに含まれる画素の数に応じた複数のカウンタを含み、前記エッジ判定手段のエッジ検出結果を、水平同期信号に同期した第1のタイミングで、前記複数のカウンタのそれぞれに順次取り込んでカウントする。ブロック境界特定手段は、前記複数のカウンタのカウント値を、垂直同期信号に同期した第2のタイミングで順次取り込み、各カウンタがエッジ検出結果を取り込んだ順序と、各カウンタのカウント値と、に基

づいて、ブロック境界を特定する。

複数のカウンタは、それぞれ画面の水平位置に対応するので、複数のカウンタの各カウント値に応じてブロック歪が発生している水平位置を定量的に検出することが可能となる。

図面の簡単な説明

図 1 は、第 1 の実施形態に係るブロック歪検出装置のブロック図である。

図 2 は、エッジ検出回路 2 の回路ブロック図である。

図 3 は、エッジカウント回路 3 と境界判別回路 4 の回路ブロック図である。

図 4 は、エッジ判定回路 2 4 によるエッジ判定処理を説明するための図である。

図 5 は、エッジ判定回路 2 4 によるエッジ判定処理を説明するための図である。

図 6 は、エッジ判定回路 2 4 によるエッジ判定処理を説明するための図である。

図 7 は、水平位置設定カウンタ 3 1 の動作を説明するためのタイミングチャートである。

図 8 は、エッジ回数カウンタ 3 4 _ 1 ~ 3 4 _ 1 6 の動作を説明するためのタイミングチャートである。

図 9 は、第 2 の実施形態に係る映像信号処理装置のブロック図である。

図 1 0 は、第 3 の実施形態に係る映像信号処理装置のブロック図である。

発明を実施するための最良の形態

第 1 の実施の形態

図 1 は、本発明の一実施形態に係るブロック歪検出装置 1 のブロック図である。図 1 に示すように、ブロック歪検出装置 1 は、エッジ検出回路 (EDGE) 2

と、エッジカウント回路（E__CNT）３と、境界判別回路（BNRY）４と、フィルタ（FIL）５とを有する。

なお、エッジ検出回路２、エッジカウント回路３、および境界判別回路４は、それぞれ、本発明のエッジ検出手段、エッジカウント手段、およびブロック境界特定手段の一実施形態である。

エッジ検出回路２は、輝度信号Ｙを入力し、所定の条件に基づいて輝度信号Ｙのエッジ検出する。

エッジカウント回路３は、複数のカウンタを含み、画素単位で対象カウンタが切り替わるように構成されている。当該カウンタは、エッジ検出回路２で検出されたエッジの有無に応じて、順次カウントを行う。

境界判別回路４は、エッジカウント回路３で積算されたカウンタの値を、垂直同期信号に同期して並べ替え、所定の条件に基づいて評価を行い、ブロックの境界を判別する。

フィルタ５は、境界判別回路４でブロックの境界位置が判別された場合、その位置で輝度信号Ｙに対しフィルタリング処理を施す。図１において、フィルタリング処理後の信号Ｓ５が、ブロック歪が低減された映像信号となる。

以下、ブロック歪検出装置１の各構成要素について詳細に説明する。

図２は、エッジ検出回路２のブロック図である。図２に示すように、エッジ検出回路２は、遅延回路２１と、演算器２２と、演算器２３__１と、複数の遅延回路２３__２～２３__７と、エッジ判定回路２４から構成される。

遅延回路２１は、入力した輝度信号Ｙに対して、画素サンプリング１回分の遅延を与える。従って、遅延回路２１においては、取り込んだ画素単位でのサンプリングにおける輝度信号Ｙの前回値が保持されることになる。

演算器２２は、遅延回路２１で保持している輝度信号Ｙの前回値と、現在入力している輝度信号Ｙの今回値の差分演算を行う。

演算器２３__１は、演算器２２で求められた輝度信号Ｙの前回値と今回値の差

分演算値の絶対値演算を行う。図2では、演算器23__1の出力値がd1となる。

遅延回路23__2～23__7は、入力した信号に対して、それぞれ画素サンプリング1回分の遅延を与える。従って、遅延回路23__2～23__7では、入力した連続8個の輝度信号Yのそれぞれ隣接する差分の絶対値を保持することになる。図2では、遅延回路23__2～23__7の出力値がそれぞれd2～d7である。

エッジ判定回路(E__J D G)24は、演算器23__1及び遅延回路23__2～23__7の各出力値d1～d7に基づいて、後述する所定の条件に合致するか否かを画素単位で評価し、エッジの有無を検出する。そして、エッジを検出した場合は「1」を出力し、エッジを検出しない場合は「0」を出力する。

次に、エッジカウント回路3と境界判別回路4の構成について説明する。

図3は、エッジカウント回路3と境界判別回路4のブロック図である。図3に示すように、エッジカウント回路3は、水平位置設定カウンタ(CTR)31と、カウンタ切替スイッチ32と、16個のカウンタ接点33__1～33__16と、16個のエッジ回数カウンタ(CTR)34__1～34__16を有する。

水平位置設定カウンタ31は、例えば4ビットのカウンタであり、画素のサンプリングクロックに応じてカウントアップし、画像の水平同期信号に同期したタイミングでリセットされる。

カウンタ切替スイッチ32は、水平位置設定カウンタ31に応じて画素単位でカウンタ接点33__1～33__16を切り換える。

エッジ回数カウンタ34__1～34__16は、それぞれカウンタ接点33__1～33__16に接続され、カウンタ切替スイッチ32により設定されたカウンタ接点33__1～33__16を通して、エッジ判定回路24の出力信号S24(1:エッジ有、0:エッジ無)をカウントする。また、当該カウント値は、画像の垂直同期信号に同期したタイミングでリセットされる。

次に、図 3 に示す境界判別回路 4 の構成について説明する。図 3 に示すように、境界判別回路 4 は、カウント値ソート部 (SORT) 4 1 と、ブロック境界判定部 (B_JDG) 4 2 と、時間積分部 (Σ) 4 3 とを有する。

カウント値ソート部 4 1 は、エッジカウント回路 3 のエッジ回数カウンタ 3 4 __1 ~ 3 4 __1 6 の各カウント値を保持するレジスタであり、図 3 に示したとおり、画像の垂直同期信号に同期したタイミングで、順次エッジ回数カウンタ 3 4 __1 ~ 3 4 __1 6 の各カウント値を取り込む。さらに、カウント値ソート部 4 1 は、取り込んだエッジ回数カウンタ 3 4 __1 ~ 3 4 __1 6 の各カウント値を昇順に並べ替える。

ブロック境界判定部 4 2 は、カウント値ソート部 4 1 において昇順に並べ替えられたエッジ回数カウンタ 3 4 __1 ~ 3 4 __1 6 の各カウント値を、所定の条件に基づいて評価して、ブロック境界の判定を行う。

時間積分部 4 3 は、ブロック境界判定部 4 2 の判定結果について、所定の画像のフィールド間、時間積分を施し、その結果からブロック境界位置を決定し、ブロック境界の有無とブロック境界の位置情報を出力する。

以上、ブロック歪検出装置 1 の各構成要素について説明した。

次に、以上のような構成要素を有するブロック歪検出装置 1 の動作について詳細に説明する。

初めに、エッジ検出回路 2 の動作について、図 2 を参照して説明する。

まず、遅延回路 2 1 には映像輝度信号 Y が入力される。遅延回路 2 1 は、入力された輝度信号 Y に画素サンプリング 1 回分に相当する遅延を与え、このデータを保持する。すなわち、遅延回路 2 1 には、前回入力された輝度信号の前回値 Y (n - 1) が保持される。

今回入力された画素単位の輝度信号 Y (n) は、演算器 2 2 において、遅延回路 2 1 に保持されている前回値 Y (n - 1) との差分演算が行われ、Y (n) - Y (n - 1) が求められる。

演算器 2 3 __ 1 では、演算器 2 2 で求められた差分演算値 ($Y(n) - Y(n-1)$) の絶対値演算が行われ、 $|Y(n) - Y(n-1)|$ が算出される。従って、ここでは、 $d1 = |Y(n) - Y(n-1)|$ となる。

遅延回路 2 3 __ 2 では、演算器 2 3 __ 1 で求められた絶対値 $|Y(n) - Y(n-1)|$ に画素サンプリング 1 回分に相当する遅延を与え、遅延回路 2 3 __ 3 へ出力する。従って、 $d2 = |Y(n) - Y(n-1)|$ となると同時に、演算器 2 3 __ 1 においても、 $Y(n)$ とその次の輝度信号 $Y(n+1)$ から、 $d1 = |Y(n+1) - Y(n)|$ が求められる。

遅延回路 2 3 __ 3 ~ 遅延回路 2 3 __ 7 についても、遅延回路 2 3 __ 2 と同様に、それぞれ前段の遅延回路の出力値をセットし、画素サンプリング 1 回分に相当する遅延を与えて出力するため、画素単位の輝度信号の隣接する差分の絶対値が、遅延回路 2 3 __ 3 ~ 遅延回路 2 3 __ 7 に順次セットされ、出力されることになる。

なお、上述した複数の遅延回路は、画素サンプリングクロックに同期した動作をすることは言うまでもない。

エッジ判定回路 2 4 では、上記の通り動作する演算器 2 3 __ 1 及び遅延回路 2 3 __ 2 ~ 2 3 __ 7 の出力値 $d1 \sim d7$ に対して、輝度信号のエッジ有無について、画素単位で判定を行う。

ここでは、輝度信号の差分絶対値が大きな値である場合であっても、例えば柱等の縦線画像のような映像信号自体に伴う輝度の変化であるか、または一発のパルス状のノイズの場合には、誤検出を行わないようにする必要がある。

図 2 においては、 $d4$ がエッジ判定のための対象である輝度差分値（以下、絶対値を意味する）であり、その前後 3 個の値である $d1 \sim d3$ 及び $d5 \sim d7$ の値も含めて考慮しながら、対象輝度差分値 $d4$ のエッジ有無を評価する。

ここで、

(1) 輝度変化の激しい絵柄では輝度の変化をブロック境界と誤判別する可能性

があるため、輝度変化のあまりない平坦な絵柄における輝度信号の場合に、ブロック境界検出を行った方が精度がよい

(2) ブロック歪のレベル変化は一定範囲に収まるため、輝度変化の上限を設定することで、パルス上のノイズとの誤判定を回避できる
といった点を考慮することで、精度の高いブロック境界の検出が可能になる。

従って、エッジ判定回路 24 においては、以下の 3 条件によりエッジ判定を行っている。

条件 1 : 注目している輝度信号差分値の周囲に大きな輝度信号差分値がない。

$$\begin{aligned} & (\text{閾値 } A > d_1) \ \& \ (\text{閾値 } A > d_2) \ \& \ (\text{閾値 } A > d_3) \ \& \\ & (\text{閾値 } A > d_5) \ \& \ (\text{閾値 } A > d_6) \ \& \ (\text{閾値 } A > d_7) \end{aligned}$$

条件 2 : 注目している輝度信号差分値は周囲の輝度信号差分値の平均より、

6 / 係数 A 倍以上である

$$d_4 > (d_1 + d_2 + d_3 + d_5 + d_6 + d_7) / 6 \times (6 / \text{係数 } A)$$

$$\therefore d_4 > (d_1 + d_2 + d_3 + d_5 + d_6 + d_7) / \text{係数 } A$$

条件 3 : 注目している輝度信号差分値の大きさは特定の範囲内である。

$$\text{閾値 } B > d_4 > \text{閾値 } C$$

ここで、例えば、10 ビットの輝度信号入力に対して、 $A = 16$ ， $B = 40$ ， $C = 8$ といった値が適用される。

以上の 3 条件に基づいて、実際の輝度信号がどのようにエッジ判定回路 24 において評価されるかについて、図 4～6 を用いて以下に説明する。

図 4 は、ブロック歪が視覚的に目立つ画像パターンの一例である。

図 5 は、ブロック歪が視覚的に目立たない画像パターンの一例である。

図6は、ブロック歪ではなく、8画素おきに存在する縦線画像パターンの一例である。

図4～6において、白丸および黒丸で表しているものは画素単位の輝度信号のデータであり、それぞれエッジ検出回路2に取り込まれる。ここでは、8個の黒丸のそれぞれ隣接する輝度信号の7個の差分値が演算器23__1及び遅延回路23__2～23__7にセットされる。

また、図4～6において、線L1及び線L2で区切られた部位において、隣接する輝度信号の差分が大きい。この線L1で区切られた部分が現在注目している輝度信号差分d1であり、この部分でのエッジ有無が、前後含めた7個の輝度信号差分値に基づいて評価される。

図4の画像パターンは、輝度信号の高周波部分が少なく、低周波部分が大部分を占めており、ブロック歪が視覚的に見えやすく、ブロック歪によるエッジを検出すべき画像パターンである。図4で、DC_diffと書かれた部分が、視覚的にブロック歪となる部分である。このような画像パターンでは、ブロック歪を誤検出する可能性が低いため、ブロック歪に伴うエッジを検出するように、上記条件1～3が設定されている。

すなわち、全体として輝度信号が低周波であるため、注目しているd4以外の輝度信号差分値は小さく、上記の条件1を満足する。また、d4以外の周囲の輝度信号差分値の平均値も同様に小さく、上記の条件2を満足したものとなる。

d4がパルス状のノイズで生じたものでなければ、所定の範囲内の値になるため、上記の条件3も満足することとなり、以上から図4の画像パターンはd4の部分でエッジが検出されることとなる。

図5の画像パターンは、輝度信号に高周波成分が存在しており、ブロック歪が視覚的に目立たない画像パターンである。図5のような画像パターンについては、ブロック歪自体が目立たないため、画像の絵柄としての輝度信号の変化とブロック歪を誤判定する可能性がある。このような場合にはエッジの検出を行わない

ように、上記条件 1～3 が設定されている。

すなわち、d 4 の周辺の輝度信号差分値 d 1～d 3 および d 5～d 7 のいずれかが所定の閾値 A 以上となるため条件 1 を満足しない。また、これらの周辺の輝度信号差分値 d 1～d 3 および d 5～d 7 は比較的大きな値となるため平均値も大きく、条件 2 を満足しない可能性がある。d 4 がパルス状のノイズで生じたものでなければ、所定の範囲内の値になるため、上記の条件 3 は満足する。

従って、図 5 の画像パターンでは、d 4 の部分でエッジ検出は行われない。

図 6 の画像パターンは、輝度信号に 8 画素おきの縦線が存在している。ブロック歪により生じる輝度信号差分値は、通常一定の範囲内に収まるため、図 6 の画像パターンで見られるように、d 4 がその一定の範囲外の大きな輝度信号差分値の場合は、エッジの検出を行わないように、上記条件 1～3 が設定されている。

すなわち、d 4 の周辺の輝度信号差分値 d 1～d 3 および d 5～d 7 は、いずれも所定の閾値 A 以下となるため条件 1 を満足し、その周辺の輝度信号差分値 d 1～d 3 および d 5～d 7 の平均値も小さくなるため、条件 2 も満足する。しかし、条件 3 においては、d 4 が想定しているブロック歪のレベルを超えているため満足せず、従って、図 6 の画像パターンでは、d 4 の部分でエッジ検出は行われない。

以上、図 4～6 を用いて説明したように、上記条件 1～3 を設定することで、高周波成分が多い輝度信号を持つ画像パターンや、縦線やパルス状のノイズを含む画像に対しては、エッジの検出を行わず、高周波成分が少なくブロック境界が捉えやすい輝度信号に対してのみエッジ検出を行うことにより、ブロック境界位置の誤判定を低減することが可能となる。

もちろん、上記条件 1～3 の全ての条件を設定しない場合でも、ある程度ブロック境界位置の誤判定を低減することが可能である。

例えば、上記条件 1 及び条件 2 のみ適用した場合には、輝度信号がパルス状の

ノイズを含んでいる場合に誤判定をする可能性があるが、輝度信号が高周波成分を含まない安定した信号に対してエッジ検出を行うことが可能となる。また、条件 3 を単独で適用した場合には、少なくともパルス状のノイズに対して誤判定を起こさない利点がある。

エッジ判定回路 2 4 は、図 2 のエッジ判定結果の信号 S 2 4 として、上記の条件 1 ～ 3 が全て合致した場合のみ 1 を出力し、それ以外の場合は 0 を出力する。

なお、閾値 A、閾値 B、閾値 C および係数 A は、ブロック歪低減装置 1 の前段にあるシステムの構成により最適値が多少変化するため、外部から設定できるようにすることが望ましい。

次に、エッジカウント回路 3 の回路の動作について、図 3 を用いて説明する。

まず、エッジ検出回路 2 におけるエッジ判定回路 2 4 から、エッジ判定結果の出力信号 S 2 4（エッジ有：「1」、エッジ無：「0」）が、エッジカウント回路 3 に対して、画素のサンプリング単位で順次入力される。

水平位置設定カウンタ 3 1 は、画素単位でカウントアップし、カウンタ切替スイッチ 3 2 はそれに応じてカウンタ接点の接続位置を、順次カウンタ接点 3 3 __ 1 → カウンタ接点 3 3 __ 2 → … のように切り換える。水平位置設定カウンタ 3 1 は、映像の水平同期信号に同期したタイミングでリセットされるため、映像の水平位置に従って順次エッジ回数カウンタ 3 4 __ 1 ～ 3 4 __ 1 6 に、エッジ判定結果の出力信号 S 2 4（「1」または「0」）がカウントされる。

エッジ回数カウンタ 3 4 __ 1 ～ 3 4 __ 1 6 は、映像の垂直同期信号に同期したタイミングでカウント値はリセットされるので、以上の動作が画像の 1 フィールド毎に行われることになる。

なお、後述するように、映像の垂直同期信号に同期したタイミングでカウント値がリセットされる直前のカウント値は、エッジ回数カウンタ 3 4 __ 1 ～ 3 4 __ 1 6 が信号 S 2 4 を取り込んだ順序で、境界判別回路 4 に取り込まれる。

ここで、エッジ回数カウンタを通常ブロック歪が発生する画素間隔である 8 個ではなく、8 の倍数である 16 個で構成している理由は、画面上に柱等の縦線が存在した場合に、偶然に 1 つのカウンタの値のみが増加することにより誤検出を行う可能性を防止して、ブロック境界検出性能を向上させるためである。

境界判別回路 4 で行われる誤検出防止の評価手法については、後述する。

図 7 は、水平位置設定カウンタ 31 の動作を説明するためのタイミングチャートである。図 7 において、(A) は画素のサンプリングクロック CLK を、(B) は画像の水平同期信号 H_SYNC を、(C) は水平位置設定カウンタ 31 のカウント値 H_CTR を、それぞれ示す。

図 7 に示すように、画像のサンプリングクロック CLK に同期して水平位置設定カウンタ 31 のカウント値 H_CTR がカウントアップされ、画像の水平同期信号 H_SYNC に同期したタイミングでカウント値 H_CTR がリセットされる。従って、画像の水平同期信号 H_SYNC に同期したタイミングで水平位置設定カウンタ 31 のカウント値 H_CTR をリセットすることにより、画面の位置に対応して、エッジ回数カウンタ 34_1 ~ 34_16 のいずれのカウンタにエッジ検出結果の信号 S24 (「1」または「0」) が取り込まれるか決定されることになる。

上述したように、エッジ回数カウンタ 34_1 ~ 34_16 のカウンタ群に画素単位で順次、エッジ検出結果がカウントアップされる。

図 8 は、エッジ回数カウンタ 34_1 ~ 34_16 の画像の垂直同期信号に同期したタイミングで行われる動作を説明するためのタイミングチャートである。図 8 において、(A) は画素のサンプリングクロック CLK を、(B) は画像の垂直同期信号 V_SYNC を、(C) はエッジ回数カウンタ 34_1 ~ 34_16 のカウント値 E_CTR を、(D) は後述する境界判別回路 4 におけるカウント値ソート部 41 のレジスタ値 SORT_R を、それぞれ示す。

図 8 において、エッジ回数カウンタ 34_1 ~ 34_16 は、垂直同期信号 V

—S Y N Cに同期したタイミングで、カウンタ内の各カウント値E—C T Rはリセットされて、リセットされる直前の値C N T nは、後述する境界判別回路4におけるカウント値ソート部4 1のレジスタに取り込まれる。

エッジ回数カウンタ3 4—1～3 4—1 6の各カウント値E—C T Rは、エッジ検出結果の信号S 2 4をエッジ回数カウンタ3 4—1～3 4—1 6が取り込んだ順序に従って、カウント値ソート部4 1のレジスタに取り込まれる。従って、エッジ検出結果の信号S 2 4が、例えばエッジ回数カウンタ3 4—1→3 4—2→…の順序で取り込まれたとすれば、それらのカウント値はS 3 4—1→S 3 4—2→…の順序で境界判別回路4のカウント値ソート部4 1に取り込まれる。

次に、境界判別回路4の動作について、図3を参照して説明する。

カウント値ソート部4 1では、上述のとおり、画面の垂直同期信号に同期したタイミングで、エッジカウント回路3のエッジ回数カウンタ3 4—1～3 4—1 6の各カウント値を取り込み、カウント値に基づいて昇順に並べ替える。

その際、エッジ検出結果の信号S 2 4をエッジ回数カウンタ3 4—1～3 4—1 6が取り込んだ順序、すなわち、カウンタ切替スイッチ3 2の切替え順に、各カウント値がカウント値ソート部4 1に取り込まれる。さらに、カウント値ソート部4 1は、取り込んだエッジ回数カウンタ3 4—1～3 4—1 6の各カウント値を昇順に並べ替える。

並べ替えられたカウント値の結果は、ブロック境界評価のため、ブロック境界判定部4 2に出力される。

ブロック境界判定部4 2では、カウント値ソート部4 1でレジスタにセットされて並べ替えられたカウント値を評価し、1 6画素分の輝度信号間にブロック境界が含まれているか否かを判定する。1 6画素分の輝度信号を評価することにより、通常8画素おきに発生するブロック歪を誤検出なく確実に検出することができる。

例えば、画面上に柱等の縦線が存在した場合に、偶然に1つのカウンタの値の

みが増加することによって、誤検出を行う可能性を防止することが可能となるため、ブロック境界検出の性能を向上させることができる。また、16個のエッジ回数カウンタで構成している場合は、16画素ごとにあらわれるブロック歪にも簡単に対応できるという利点がある。

ブロック境界判定部42は、以下の3条件を満足する場合にブロック境界を検出できたと判断する。

条件4：第1番目と第2番目にカウント値の大きいカウンタを、カウント値ソート部41へ取り込んだ順序の差が8

条件5：第2番目に値の大きいカウント値が閾値D以上

条件6：第2番目に値の大きいカウント値が、第3番目に値の大きいカウント値に対して所定の比率閾値E以上

上記の条件4は、一般的なMPEG2信号等の場合では、8画素ごとにブロック歪が現れるという特徴を考慮している。例えば、カウンタ切替スイッチ32は、水平位置設定カウンタ31により、画像の水平同期信号に同期したタイミングで切り換えられるため、エッジ検出結果の出力値は、エッジ回数カウンタ34__1～34__16により、34__1→34__2→…の順でカウントされる。水平位置設定カウンタ31のカウント値は画面の水平位置に対応するため、8画素おきにブロック歪が現れる場合、例えばエッジ回数カウンタ34__1のカウント値が大きい値であれば、そこから8画素分水平位置でずれた位置のエッジをカウントするエッジ回数カウンタ34__9についても大きいカウント値となっている。

従って、並べ替えられたレジスタ内のカウント値の第1番目に大きいカウント値のカウンタと第2番目に大きいカウント値のカウンタを、カウント値ソート部41に取り込んだ順序が8の差であれば、ブロック歪と判断することが可能である。

また、一般的なブロック歪の場合、上述のとおり、8画素おきに現れるため、第2番目に大きいカウント値も所定の値以上になる。

従って、上記の条件5を備えることで、柱等の縦線を含んだ画像やパルス状のノイズがカウント値に反映されていた場合には、1番目に大きいカウント値のみが大きな値を示し、第2番目に大きいカウント値は大きな値を示さないため、これらを排除でき、ブロック歪を誤検出する可能性を低減させることができる。

さらに、エッジ判定回路24は、上述の条件1に示したように、画像の比較的平坦な部分を捉えてエッジ検出を行っているため、ブロック歪を検出している場合には、第1番目及び第2番目に大きいカウント値が突出しており、第3番目以降に大きいカウント値はこれらと比較して小さな値となる。そうでない場合は、ブロック歪以外のノイズをカウントしていることになり、ブロック歪と誤判定する可能性がある。

従って、第2番目に値の大きいカウント値が、第3番目に値の大きいカウント値に対して所定の比率以上のときに、ブロック歪を検出することとする。すなわち、上記の条件6を付加することで、誤検出の可能性を低減させることができるのである。

もっとも、上記の条件4～6を全て適用しない場合であっても、ある程度のブロック歪に対する誤検出低減性能は確保される。例えば、条件4のみを適用しても、8画素おきに発生するブロック歪に対して検出効果があり、条件4に対して、条件5または条件6を付加することで、ブロック歪を誤検出する可能性は、相対的に低くなる。

なお、上記条件5および6における閾値Dおよび閾値Eは、前述の閾値A～C等と同様、システムの構成により最適値が多少変化するため、外部から設定できるようにすることが望ましい。

ブロック境界判定部42においては、上記条件4～6の3条件に基づいて、エッジ回数カウンタ34_1～34_16のカウント値を垂直同期信号のタイミン

グ毎に評価して、3条件を全て満足した場合には、ブロック境界であると判定する。判定結果は、時間積分部43へ出力される。例えば、エッジ検出結果の出力信号S24と同様、ブロック境界であると判定した場合は1を、そうでない場合は0を出力してもよい。

ブロック境界であると判定した場合、ブロック境界判定部42は、後段の時間積分部43に対して、どの輝度信号間がブロック境界であるかというブロック境界位置の情報も出力する。前述のとおり、水平位置がエッジ回数カウンタ34__1～34__16のカウンタ値のカウンタ値ソート部41への取り込み順序に対応しているため、各カウンタ値と水平位置を逐次関連付けることが可能である。

時間積分部43では、ブロック境界判定部42でブロック境界を検出できた場合、さらにその検出結果に基づいて、一定時間の間、時間積分を行う。

時間積分は、ブロック境界判定部42からの情報であるフィールド毎のブロック境界位置が所定時間、例えば2フィールド～4フィールドの間、同じブロック境界位置である場合には、その位置がブロック境界位置であることを確定する。すなわち、時間積分を行うことにより、ブロック境界位置に対する確からしさを向上させる。

時間積分部43は、確定したブロック境界位置並びにフィルタリングON/OFFについての情報をフィルタ5に出力する。

フィルタ5では、ブロック歪のある輝度信号近辺にのみブロック歪を低減するフィルタリング処理を行う。これにより、画像の高画質化を行うことができる。なお、フィルタリング処理については、すでに存在する公知の技術を適用することが可能である。

以上、ブロック歪検出装置1の動作を説明したように、ブロック歪検出装置1は、エッジ検出回路2と、エッジカウント回路3と、境界判別回路4と、フィルタ5とを備え、エッジ検出回路2においては、画素単位の輝度信号差分に基づいて、エッジを検出する。エッジカウント回路3は、16個のカウンタを備え、検

出されたエッジを、画像の水平同期信号に同期したタイミングで順次、該 16 個のカウンタでカウントし、これを画像のフィールド単位で行う。境界判別回路 4 では、カウント結果に応じて、ブロック境界を判定し、その判定結果の時間積分からブロック境界位置を確定し、確定したブロック境界位置の画素単位の輝度信号に対してフィルタリング処理を行うことにより、ブロック歪が低減される。

なお、本発明は、上記の実施形態の説明に限定されず、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

上記の実施形態では、エッジ検出回路 2 の演算器 23_1 及び遅延回路 23_2 ～ 23_7 において、入力した連続 8 個の輝度信号の差分値を保持するとしたが、8 個に限定されず、それ以上、例えば連続 16 個の輝度信号の差分値を保持するように構成しても構わない。

入力した輝度信号が奇数個の場合には、保持する差分値は偶数個となり、それらの中心値である注目輝度差分値は 2 つになり 1 つに定まらないが、予めいずれを取るか設定しておけば問題はない。

また、そのように演算器 23_1 及び遅延回路群を構成した場合、エッジ判定回路 24 で行われる判定条件 1 ～ 3 および閾値 A ～ C、係数 A を、同様の考え方で設定しなおす必要があることは言うまでもない。

また、上記の実施形態では、エッジ回数カウンタ 34_1 ～ 34_16 は 16 個のカウンタにより構成されるが、16 以上で 8 の倍数個であれば、16 個に限定されない。例えば、24 個のエッジカウンタにより構成した場合には、ブロック境界判定部 42 における判定条件（条件 4 ～ 6）をさらに誤検出しにくい設定とすることも可能となる。すなわち、8 画素おきに 2 つの縦線がある場合であっても、誤検出が起こらない。その場合には、条件 4 においてカウント値の大きい順に 3 番目までを評価するなどの変更が必要となる。

エッジ回数カウンタを、例えば 24 個のカウンタにより構成するとした場合には、それに応じて水平位置設定カウンタ 31 を 4 ビットから 5 ビットにする等の

変更が必要になることは言うまでもない。

上記の実施形態では、8画素おきにブロック歪が発生する輝度信号の場合について説明したが、8画素に限らず、例えば16画素おきにブロック歪が発生する場合についても適用が可能である。

その場合は、エッジカウント回路3のエッジ回数カウンタを32の複数倍のカウンタから構成し、水平位置設定カウンタ31を例えば6ビットカウンタとすれば、16画素おきに発生するエッジをエッジ回数カウンタで検出することが可能となる。

また、上記の実施形態においては、エッジカウント回路3の水平位置設定カウンタ31は、画素のサンプリングクロックのタイミングに合わせてカウントアップしているが、カウントアップに限らず、所定の初期値からカウントダウンさせてもよい。

その場合は、ブロック境界判定部42における判定条件（条件4～6）は、以下の条件4'～6'のようになる。

条件4'：第1番目と第2番目にカウント値の小さいカウンタを、カウント値ソート部41へ取り込んだ順序の差が8

条件5'：第2番目に値の小さいカウント値が閾値D以下

条件6'：第2番目に値の小さいカウント値と第3番目に値の小さいカウント値を比較して所定の比率閾値E以下

第2の実施の形態

次に、本発明の映像信号処理装置の一実施形態について、説明する。

図9は、第2の実施の形態に係る映像信号処理装置のブロック図である。

図9に示すとおり、第2の実施の形態では、衛星放送（SAT）から、例えば

ケーブルテレビ（C__TV）に映像信号が配信され、ケーブルテレビ（C__TV）からアナログ放送（ANG__B）をセットトップボックス（BOX）経由で、例えばTVセット等の映像信号処理装置100が受信する。

ここで、衛星放送SATから配信される映像信号は、MP EGのブロック符号化によるブロック歪が含まれている。そして、このブロック歪が含まれている映像デジタル信号は、ケーブルテレビC__TVによってアナログに変換されるため、ブロック歪の境界に関する情報が失われている。

映像信号処理装置100は、このようなブロック歪を含んだアナログ映像信号を、アナログコンポジット信号（CPS）の形で受信し、処理する。

図9に示すとおり、第2の実施の形態における映像信号処理装置100は、A/D変換器（A/D）110と、YC分離部（YCS）120と、ブロック歪検出部130とを有する。

以下、映像信号処理装置100の動作について、図9に従って、説明する。

A/D変換器110は、ブロック歪を含んだアナログコンポジット信号（CPS）を入力し、A/D変換を行って、デジタル信号S110をYC分離部120へ供給する。

YC分離部120では、デジタルコンポジット信号であるS110を入力し、YC分離を行う。分離された映像輝度信号は、信号S120として、ブロック歪検出部130へ供給される。

以上のA/D変換器110及びYC分離部120においては、映像信号処理装置100が入力したアナログコンポジット信号（CPS）から、ブロック歪は除去されていない。

ブロック歪検出部130は、YC分離部120で分離された映像輝度信号S120を入力し、ブロック歪を検出し、検出したブロック歪に応じて、入力した映像輝度信号にフィルタリング処理を施す。

ブロック歪検出部130の構成及び動作は、第1の実施の形態で説明したプロ

ック歪検出装置 1 と同じである。従って、映像信号処理装置 1 0 0 が入力したアナログ映像信号に含まれているブロック歪が低減される。

第 3 の実施の形態

次に、本発明の第 3 の実施の形態における映像信号処理装置について、説明する。

図 1 0 は、第 3 の実施の形態に係る映像信号処理装置のブロック図である。図 1 0 に示すとおり、第 3 の実施の形態では、TV セット等の映像信号処理装置は、例えば、DVD プレーヤやビデオ CD の映像信号を、アナログコンポーネント信号 CMP またはアナログコンポジット信号 CPS として、受信する。

ここで、DVD プレーヤやビデオ CD からの映像信号は、MPEG のブロック符号化によるブロック歪が含まれたアナログコンポジット信号 CPS またはアナログコンポーネント信号 (CMP) であり、すでにブロック境界に関する情報は失われている。

図 1 0 に示すとおり、第 3 の実施の形態における映像信号処理装置 1 0 0 a は、A/D 変換器 (A/D) 1 1 0 a と、YC 分離部 (YCS) 1 2 0 a と、ブロック歪検出部 1 3 0 a とを有する。

映像信号処理装置 1 0 0 a の上記の各構成要素は、第 2 の実施の形態における映像信号処理装置 1 0 0 の A/D 変換器 1 1 0、YC 分離部 1 2 0 及びブロック歪検出部 1 3 0 に対応し、同じ動作であるため、映像信号処理装置 1 0 0 a が入力したアナログ映像信号に含まれているブロック歪が低減される。

なお、映像信号処理装置 1 0 0 a の動作において、入力信号がアナログコンポーネント信号 CMP の場合は、YC 分離部 1 2 0 a により YC 分離が行われないことは言うまでもない。

以上説明したように、第 2 及び第 3 の実施の形態に係る映像信号処理装置は、ブロック歪を含むアナログ映像データを入力して A/D 変換が施された映像輝度信号、若しくは必要に応じてさらに YC 分離部により得られる映像輝度信号に基

づいて、ブロック歪を検出する。

ブロック歪検出部 130, 130a は、第 1 の実施の形態に係るブロック歪検出装置 1 と同様の構成および動作を行う。これにより、ブロック境界位置の誤判定が低減された高品質な画像が得られる。

産業上の利用可能性

本発明は、ブロック符号化された画像データを再生する映像再生装置などに適用可能である。

請求の範囲

1. 画像のブロック符号化に伴うブロック歪を検出するためのブロック歪検出装置であって、

連続する複数の画素信号の差分に基づいて、前記複数の画素信号のそれぞれにおけるエッジの有無を検出するエッジ検出手段と、

ブロックに含まれる画素の数に応じた複数のカウンタを含み、前記エッジ判定手段のエッジ検出結果を、水平同期信号に同期した第1のタイミングで、前記複数のカウンタのそれぞれに順次取り込んでカウントするエッジカウント手段と、

前記複数のカウンタのカウント値を、垂直同期信号に同期した第2のタイミングで順次取り込み、各カウンタがエッジ検出結果を取り込んだ順序と、各カウンタのカウント値と、に基づいて、ブロック境界を特定するブロック境界特定手段と

を有するブロック歪検出装置。

2. 前記エッジカウント手段は、各カウンタを前記第2のタイミングでリセットする

請求項1記載のブロック歪検出装置。

3. 前記エッジ検出手段は、連続する n 回（ n ：整数）の画素信号を順次取り込み、それぞれ隣接する（ $n-1$ ）個の差分絶対値を順次算出し、

前記（ $n-1$ ）個の差分絶対値のうち、中央に位置する差分絶対値を注目差分絶対値としたとき、

前記注目差分絶対値以外の差分絶対値が所定値以下であり、かつ

前記注目差分絶対値が、前記注目差分絶対値以外の差分絶対値の平均より所定値倍以上である場合に、

前記注目差分絶対値がある画素信号間でエッジが有ることを検出する

請求項 2 記載のブロック歪検出装置。

4. 前記エッジ検出手段は、連続する n 回 (n : 整数) の画素信号を順次取り込み、それぞれ隣接する ($n - 1$) 個の差分絶対値を順次算出し、

前記 ($n - 1$) 個の差分絶対値のうち、中央に位置する差分絶対値を注目差分絶対値としたとき、

前記注目差分絶対値が、所定の範囲内の値である場合に、

前記注目差分絶対値がある画素信号間で、エッジが有ることを検出する

請求項 2 記載のブロック歪検出装置。

5. 前記エッジ検出手段は、連続する n 回 (n : 整数) の画素信号を順次取り込み、それぞれ隣接する ($n - 1$) 個の差分絶対値を順次算出し、

前記 ($n - 1$) 個の差分絶対値のうち、中央に位置する差分絶対値を注目差分絶対値としたとき、

前記注目差分絶対値以外の差分絶対値が所定値以下であり、かつ

前記注目差分絶対値が、前記注目差分絶対値以外の差分絶対値の平均より所定値倍以上であり、かつ

前記注目差分絶対値が、所定の範囲内の値である場合に、

前記注目差分絶対値がある画素信号間で、エッジが有ることを検出する

請求項 2 記載のブロック歪検出装置。

6. 前記ブロック符号化が N 画素 \times N 画素のブロック単位で行われる場合、前記エッジカウント手段の複数のカウンタは、 N の複数倍の数からなる

請求項 2 記載のブロック歪検出装置。

7. 前記ブロック境界特定手段は、前記複数のカウンタの取り込み順に従って、各カウンタのカウント値を取り込み、各カウント値を昇順に並べ替え、

前記カウンタが、エッジ有の場合にカウントアップするときは、

第 1 番目と第 2 番目に大きいカウント値を有する 2 つのカウンタの取り込む順の差が N である場合に、前記 2 つのカウンタに対応する水平位置をブロック境界

位置として特定する

請求項 6 記載のブロック歪検出装置。

8. 前記ブロック境界特定手段は、前記複数のカウンタの取り込み順に従って、各カウンタのカウント値を取り込み、各カウント値を昇順に並べ替え、前記カウンタが、エッジ有の場合にカウントダウンするときは、

第 1 番目と第 2 番目に小さいカウント値を有する 2 つのカウンタの取り込む順の差が N である場合に、前記 2 つのカウンタに対応する水平位置をブロック境界位置として特定する

請求項 6 記載のブロック歪検出装置。

9. 前記ブロック境界特定手段は、前記複数のカウンタの取り込み順に従って、各カウンタのカウント値を取り込み、各カウント値を昇順に並べ替え、前記カウンタが、エッジ有の場合にカウントアップするときは、

第 1 番目と第 2 番目に大きいカウント値を有する 2 つのカウンタの取り込む順の差が N であり、かつ

第 2 番目に大きいカウント値は所定の値以上である場合に、前記 2 つのカウンタに対応する水平位置をブロック境界位置として特定する

請求項 6 記載のブロック歪検出装置。

10. 前記ブロック境界特定手段は、前記複数のカウンタの取り込み順に従って、各カウンタのカウント値を取り込み、各カウント値を昇順に並べ替え、前記カウンタが、エッジ有の場合にカウントダウンするときは、

第 1 番目と第 2 番目に小さいカウント値を有する 2 つのカウンタの取り込む順の差が N であり、かつ

第 2 番目に小さいカウント値は所定の値以下である場合に、前記 2 つのカウンタに対応する水平位置をブロック境界位置として特定する

請求項 6 記載のブロック歪検出装置。

11. 前記ブロック境界特定手段は、前記複数のカウンタの取り込み順に従

って、各カウンタのカウンタ値を取り込み、各カウンタ値を昇順に並べ替え、
前記カウンタが、エッジ有の場合にカウンタアップするときは、

第1番目と第2番目に大きいカウンタ値を有する2つのカウンタの取り込む順
の差がNであり、かつ

第2番目に大きいカウンタ値が、第3番目に大きいカウンタ値の所定値倍以上
である場合に、前記2つのカウンタに対応する水平位置をブロック境界位置とし
て特定する

請求項6記載のブロック歪検出装置。

12. 前記ブロック境界特定手段は、前記複数のカウンタの取り込み順に従
って、各カウンタのカウンタ値を取り込み、各カウンタ値を昇順に並べ替え、
前記カウンタが、エッジ有の場合にカウンタダウンするときは、

第1番目と第2番目に小さいカウンタ値を有する2つのカウンタの取り込む順
の差がNであり、かつ

第2番目に小さいカウンタ値が、第3番目に小さいカウンタ値の所定値倍以下
である場合に、前記2つのカウンタに対応する水平位置をブロック境界位置とし
て特定する

請求項6記載のブロック歪検出装置。

13. 前記ブロック境界特定手段は、前記複数のカウンタの取り込み順に従
って、各カウンタのカウンタ値を取り込み、各カウンタ値を昇順に並べ替え、
前記カウンタが、エッジ有の場合にカウンタアップするときは、

第1番目と第2番目に大きいカウンタ値を有する2つのカウンタの取り込む順
の差がNであり、かつ

第2番目に大きいカウンタ値は所定の値以上であり、かつ

第2番目に大きいカウンタ値が、第3番目に大きいカウンタ値の所定値倍以上
である場合に、前記2つのカウンタに対応する水平位置をブロック境界位置とし
て特定する

請求項 6 記載のブロック歪検出装置。

14. 前記ブロック境界特定手段は、前記複数のカウンタの取り込み順に従って、各カウンタのカウンタ値を取り込み、各カウンタ値を昇順に並べ替え、

前記カウンタが、エッジ有の場合にカウンタダウンするときは、

第 1 番目と第 2 番目に小さいカウンタ値を有する 2 つのカウンタの取り込む順の差が N であり、かつ

第 2 番目に小さいカウンタ値は所定の値以下であり、かつ

第 2 番目に小さいカウンタ値が、第 3 番目に小さいカウンタ値の所定値倍以下である場合に、前記 2 つのカウンタに対応する水平位置をブロック境界位置として特定する

請求項 6 記載のブロック歪検出装置。

15. 画像のブロック符号化に伴うブロック歪を検出するためのブロック歪検出方法であって、

連続する複数の画素信号の差分に基づいて、前記複数の画素信号のそれぞれにおけるエッジの有無を検出し、

前記エッジ判定手段のエッジ検出結果を、水平同期信号に同期した第 1 のタイミングで、ブロックに含まれる画素の数に応じた複数のカウンタのそれぞれに順次取り込んでカウントし、

前記複数のカウンタのカウンタ値を、垂直同期信号に同期した第 2 のタイミングで順次取り込み、各カウンタがエッジ検出結果を取り込んだ順序と、各カウンタのカウンタ値と、に基づいて、ブロック境界として特定する

ブロック歪検出方法。

16. アナログ映像信号から抽出した画素信号に基づいて映像信号を処理する映像信号処理装置であって、

連続する複数の画素信号の差分に基づいて、前記複数の画素信号のそれぞれにおけるエッジの有無を検出するエッジ検出手段と、

ブロックに含まれる画素の数に応じた複数のカウンタを含み、前記エッジ判定手段のエッジ検出結果を、水平同期信号に同期した第1のタイミングで、前記複数のカウンタのそれぞれに順次取り込んでカウントするエッジカウント手段と、

前記複数のカウンタのカウント値を、垂直同期信号に同期した第2のタイミングで順次取り込み、各カウンタがエッジ検出結果を取り込んだ順序と、各カウンタのカウント値と、に基づいて、ブロック境界を特定するブロック境界特定手段と、

前記ブロック境界特定手段により特定されたブロック境界位置において、画素信号をフィルタ処理するフィルタ手段と

を有する映像信号処理装置。

FIG. 1

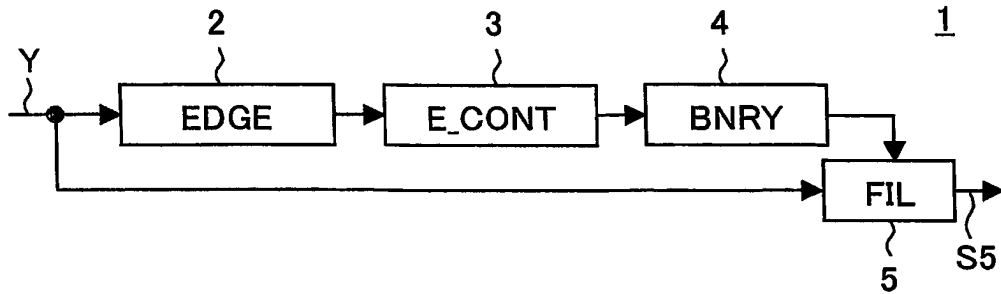


FIG. 2

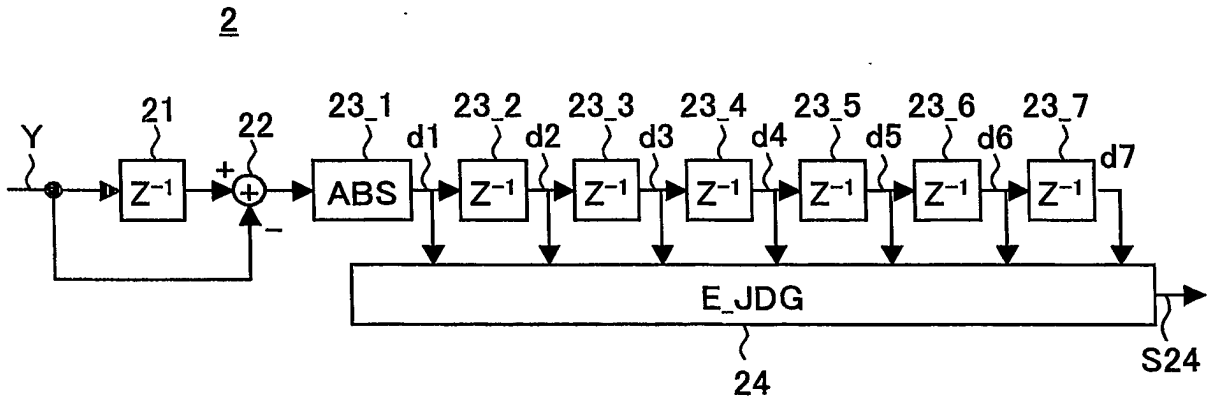


FIG. 3

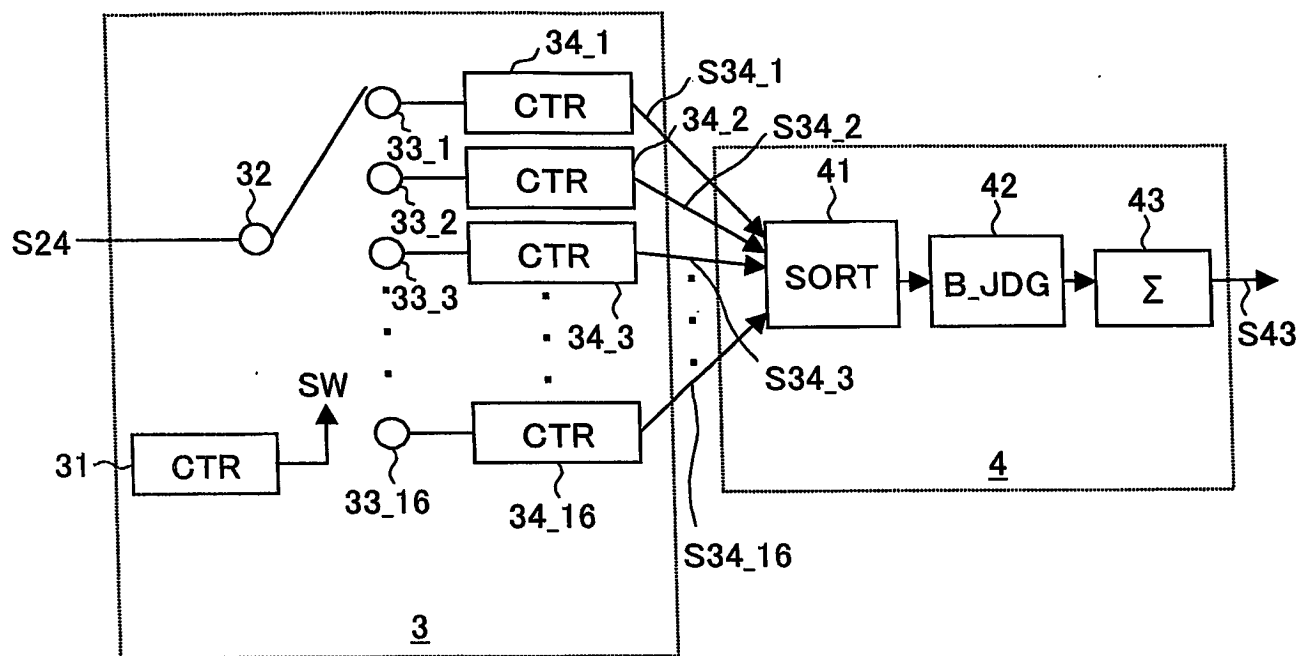


FIG. 4

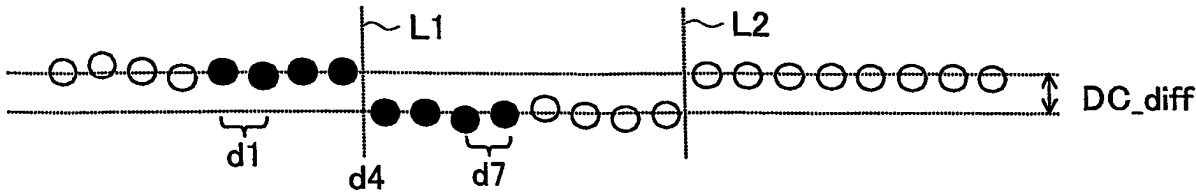


FIG. 5

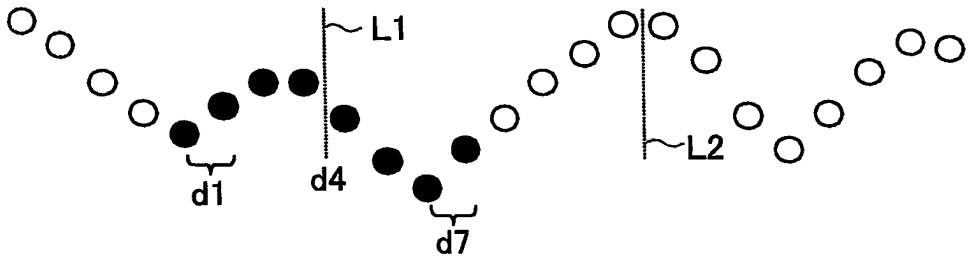


FIG. 6

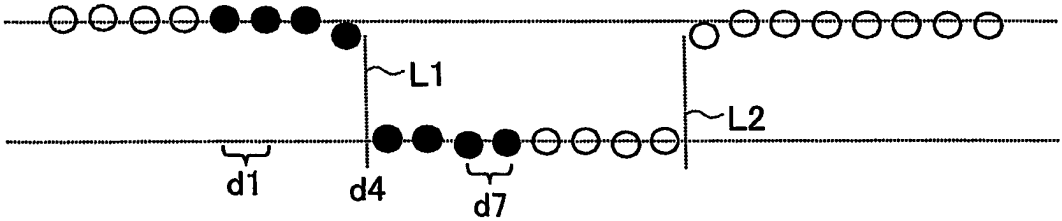


FIG. 7

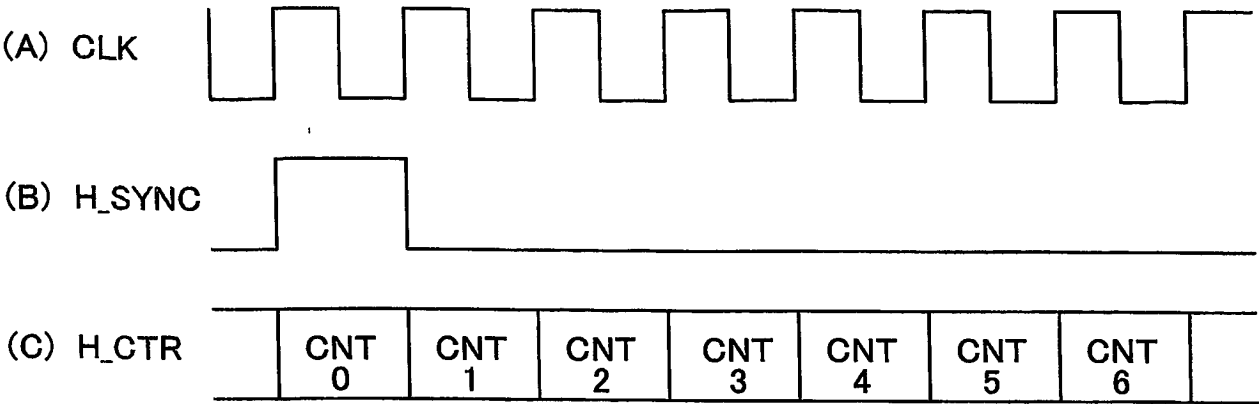


FIG. 8

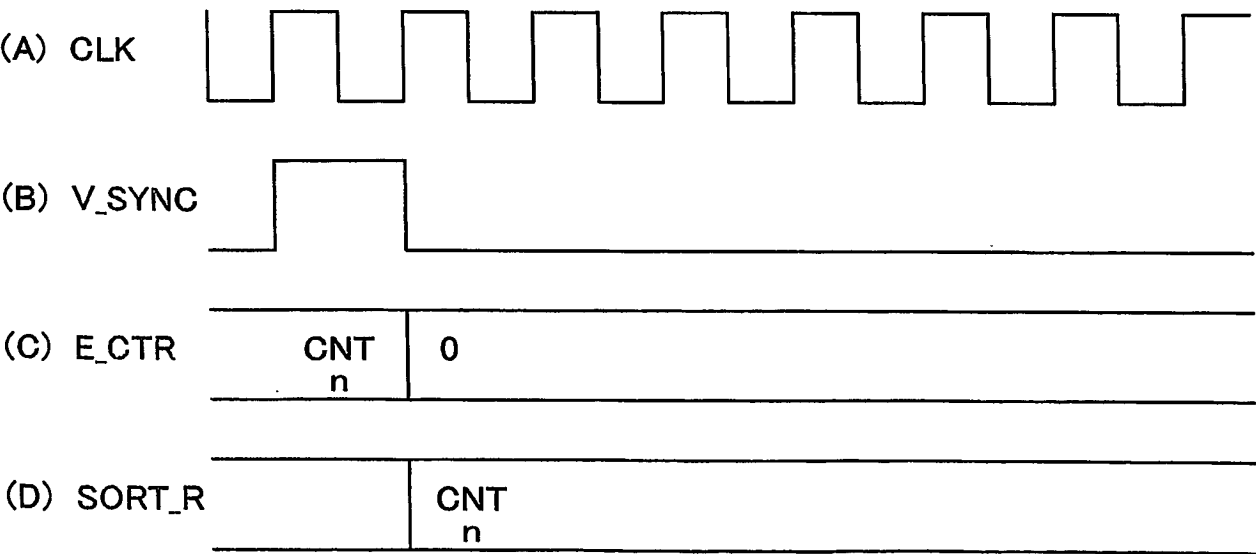


FIG. 9

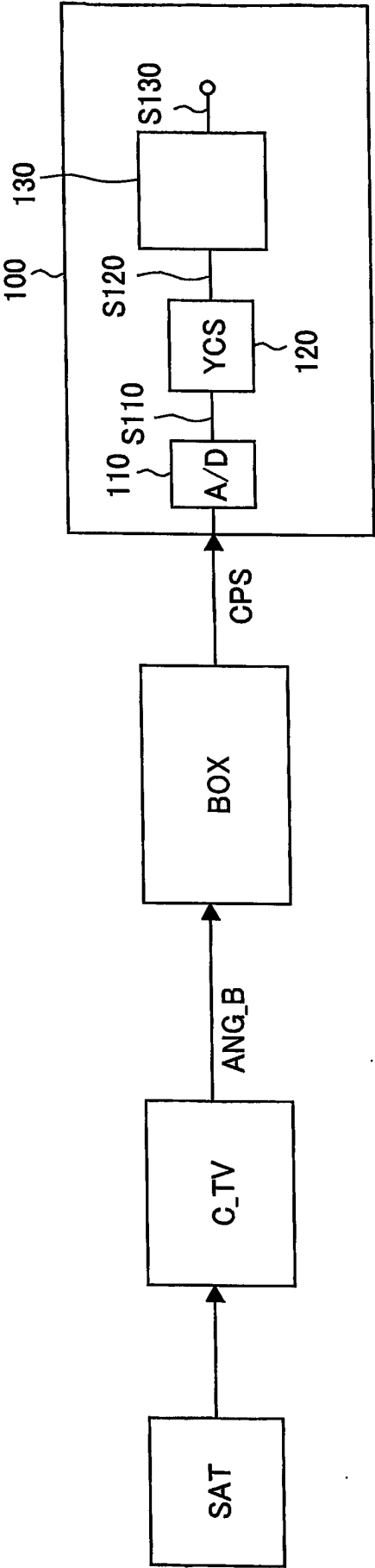
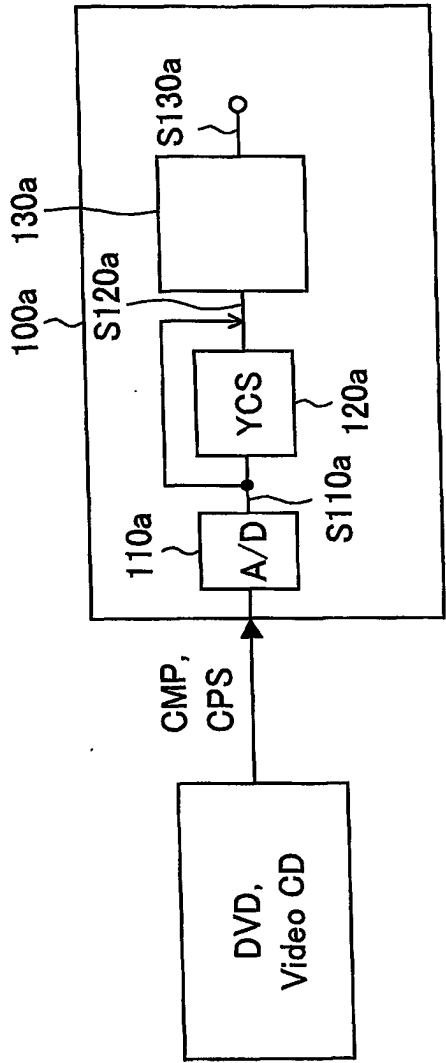


FIG. 10



符号の説明

- 1 …ブロックノイズ検出装置
- 2 …エッジ検出回路
- 2 1 …遅延回路
- 2 2 …演算器
- 2 3 __ 1 …演算器
- 2 3 __ 2 ～ 2 3 __ 6 …遅延回路
- 2 4 …エッジ判定回路
- 3 …エッジカウント回路
- 3 1 …水平位置設定カウンタ
- 3 2 …カウンタ切替スイッチ
- 3 3 __ 1 ～ 3 3 __ 1 6 …カウンタ接点
- 3 4 __ 1 ～ 3 4 __ 1 6 …エッジ回数カウンタ
- 4 …境界判別回路
- 4 1 …カウント値ソート部
- 4 2 …ブロック境界判定部
- 4 3 …時間積分部
- 5 …フィルタ
- 1 1 0, 1 1 0 a …映像信号処理装置
- 1 1 0, 1 1 0 a …A/D変換器
- 1 2 0, 1 2 0 a …YC分離部
- 1 3 0, 1 3 0 a …ブロックノイズ検出部

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009460

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H04N7/24, H04N1/41

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04N7/24-7/68, H04N1/41-1/419

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1922-1996 | Toroku Jitsuyo Shinan Koho | 1994-2004 |
| Kokai Jitsuyo Shinan Koho | 1971-2004 | Jitsuyo Shinan Toroku Koho | 1996-2004 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| A | JP 2002-344968 A (Matsushita Electric Industrial Co., Ltd.), 29 November, 2002 (29.11.02), Full text; Figs. 1 to 7 (Family: none) | 1-16 |
| A | JP 2000-350202 A (Victor Company Of Japan, Ltd.), 15 December, 2000 (15.12.00), Full text; Figs. 1 to 6 & EP 1039760 A2 & CN 1268842 A | 1-16 |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
28 September, 2004 (28.09.04)

Date of mailing of the international search report
19 October, 2004 (19.10.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ H04N7/24, H04N1/41

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ H04N7/24-7/68, H04N1/41-1/419

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|--|------------------|
| A | J P 2002-344968 A (松下電器産業株式会社) 2002. 11. 29, 全文, 第1-7図 (ファミリーなし) | 1-16 |
| A | J P 2000-350202 A (日本ビクター株式会社) 2000. 12. 15, 全文, 第1-6図 & EP 1039760 A2 & CN 1268842 A | 1-16 |

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

28. 09. 2004

国際調査報告の発送日

19.10.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

畑中 高行

5 P

9468

電話番号 03-3581-1101 内線 3580